

明 細 書

パルス変調回路

技術分野

この発明は、パルス信号の周波数を変調するパルス変調回路に関するものである。

背景技術

従来のパルス変調回路は、パルス印加端子からパルス信号を入力し、局部発振波入力端子から局部発振信号 L O を入力すると、内蔵しているアンチパラレルダイオードペアがパルス信号と局部発振信号 L O を混合することにより、その局部発振信号 L O の 2 倍の周波数を有するパルス信号を R F 端子に出力するようにしている（以下の特許文献 1 を参照）。

〔特許文献 1〕 特開 2 0 0 0 - 3 3 8 2 3 3 号公報（第 6 頁から第 7 頁、図 1）

従来のパルス変調回路は以上のように構成されているので、局部発振信号 L O の 2 倍の周波数を有するパルス信号を R F 端子に出力することができる。しかし、パルス印加端子に印加されるパルス信号の電圧が零ボルトに近い場合、数十ミリボルトの雑音が重畳されるため、その雑音の影響を回避するには、R F 端子に出力するパルス信号の O F F 時の出力電力を高めに設定する必要がある、R F 端子に出力するパルス信号の O N 時の出力電力と O F F 時の出力電力の比が小さくなってしまいう課題があった。

この発明は上記のような課題を解決するためになされたもので、R F

端子に出力するパルス信号のＯＮ時の出力電力とＯＦＦ時の出力電力の比を大きく取ることができるパルス変調回路を得ることを目的とする。

発明の開示

この発明に係るパルス変調回路は、分波手段により入力されたパルス信号と局部発振信号を混合する混合手段に印加される電圧を分圧する分圧手段を設けたものである。

このことによって、パルス出力端子に出力するパルス信号のＯＮ時の出力電力とＯＦＦ時の出力電力の比を大きく取ることができる効果がある。

図面の簡単な説明

第１図はこの発明の実施の形態１によるパルス変調回路を示す構成図である。

第２図はＤＣパルス信号の印加電圧とＲＦパルス信号の出力電力との関係を示すグラフ図である。

第３図はアンチパラレルダイオードペアの等価回路である。

第４図は２倍の高調波の位相を示すグラフ図である。

第５図はこの発明の実施の形態２によるパルス変調回路を示す構成図である。

第６図はこの発明の実施の形態３によるパルス変調回路を示す構成図である。

第７図はこの発明の実施の形態４によるパルス変調回路を示す構成図である。

第８図はこの発明の実施の形態５によるパルス変調回路を示す構成図である。

第 9 図はダイオードが直列に接続されている場合の特性を示すグラフ図である。

第 10 図はこの発明の実施の形態 6 によるパルス変調回路を示す構成図である。

第 11 図はこの発明の実施の形態 7 によるパルス変調回路を示す構成図である。

第 12 図はこの発明の実施の形態 7 によるパルス変調回路を示す構成図である。

第 13 図はこの発明の実施の形態 8 によるパルス変調回路を示す構成図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1.

第 1 図はこの発明の実施の形態 1 によるパルス変調回路を示す構成図である。図において、ローパスフィルタ（以下、LPF という）2 は DC パルス印加端子 1 に印加された DC パルス信号（パルス信号）を入力し、その DC パルス信号から不要波成分を除去してパルス成分をアンチパラレルダイオードペア 5 に出力する。バンドパスフィルタ（以下、BPF という）4 は局部発振波入力端子 3 に印加された局部発振信号 LO を入力し、その局部発振信号 LO から不要波成分を除去してアンチパラレルダイオードペア 5 に出力する。

アンチパラレルダイオードペア 5 は 2 つのダイオード 5 a, 5 b が互いに逆向きに並列接続され、BPF 4 により不要波成分が除去された局部発振信号 LO と LPF 2 により不要波成分が除去された DC パルス信

号を混合して、その局部発振信号 L O の 2 倍（偶数倍）の周波数を有する R F パルス信号（パルス信号）を B P F 6 に与える混合手段を構成している。

B P F 6 はアンチパラレルダイオードペア 5 から与えられた R F パルス信号のみを通過させて R F パルス出力端子 7 に出力する。なお、L P F 2 及び B P F 4 , 6 から分波手段が構成されている。

抵抗 8 は D C パルス印加端子 1 と L P F 2 の間に設置され、アンチパラレルダイオードペア 5 に印加される電圧を分圧する分圧手段を構成している。

次に動作について説明する。

まず、D C パルス印加端子 1 に印加された D C パルス信号は L P F 2 に入力され、L P F 2 が D C パルス信号から不要波成分を除去してパルス成分をアンチパラレルダイオードペア 5 に出力する。

また、局部発振波入力端子 3 に印加された局部発振信号 L O は B P F 4 に入力され、B P F 4 が局部発振信号 L O から不要波成分を除去してアンチパラレルダイオードペア 5 に出力する。

アンチパラレルダイオードペア 5 は、B P F 4 から不要波成分が除去された局部発振信号 L O を受け、L P F 2 から不要波成分が除去された D C パルス信号を受けると、その局部発振信号 L O と D C パルス信号を混合することにより、その局部発振信号 L O の 2 倍の周波数を有する R F パルス信号を B P F 6 に与える。

B P F 6 は、アンチパラレルダイオードペア 5 から R F パルス信号が与えられると、その R F パルス信号のみを通過させて R F パルス出力端子 7 に出力する。

以下、アンチパラレルダイオードペア 5 の作用を具体的に説明する。ただし、第 3 図はアンチパラレルダイオードペア 5 の等価回路である。

例えば、周波数 $\omega 1$ の局部発振信号LOが局部発振波入力端子3に入力されると、周波数 $\omega 1$ の局部発振信号LOに対しては、第3図(a)に示すように、アンチパラレルダイオードペア5のグランド側が開放に見えて、アンチパラレルダイオードペア5のBPF4, 6側が短絡に見える。

よって、ダイオードペア5a, 5bが互いに逆向きに接続されていることに注意すれば、各ダイオード5a, 5bから見れば、周波数 $\omega 1$ の成分は互いに逆向きに印加されていることになり、偶数次の高調波成分である周波数 $2\omega 1$ の成分は同相であることになる。

第4図(a)はダイオード5aによって半波整流された信号の2倍の高調波の位相を表しており、第4図(b)は逆向きのダイオード5bによって半波整流された信号の2倍の高調波の位相を表している。

このことから、2倍の高調波の位相は互いに逆相になっていることがわかる。

一方、周波数 $\omega 1$ の約2倍に相当する周波数 ωr の局部発振信号LOに対しては、第3図(b)に示すように、アンチパラレルダイオードペア5のグランド側が短絡に見えて、アンチパラレルダイオードペア5のBPF4, 6側が開放に見える。

したがって、DCパルス信号である周波数 $\omega r - 2\omega 1$ の成分は、互いに逆相となるので、逆極性で接続されたダイオード5a, 5bから足し合わされて取り出すことができる。

なお、アンチパラレルダイオードペア5により発生された周波数 $2\omega 1$ の成分は、RFパルス出力端子7において互いに逆相であるから、RFパルス出力端子7には漏れない。

上記の説明より、奇数次の高調波である局部発振信号LOの2倍の周波数を有するRFパルス信号がRFパルス出力端子7から出力されるこ

とが理解されるが、D Cパルス印加端子1とL P F 2の間に抵抗8が設置されているので、抵抗8の抵抗値を適宜調整すれば、アンチパラレルダイオードペア5に印加される電圧を任意の電圧に設定することができる。

第2図の横軸はD Cパルス信号の電圧（D Cパルス印加端子1に印加される電圧）を示し、縦軸はR Fパルス信号の出力電力を示しており、抵抗8の抵抗値を大きくする程、出力電力が最大となる印加電圧が大きくなる。

したがって、印加電圧が小さい部分に雑音が重畳されることを考慮して、抵抗8の抵抗値を大きく取れば、R Fパルス信号がO N時の出力電力と、O F F時の出力電力との比を大きく取ることができる。

なお、局部発振信号L OやR Fパルス信号は抵抗8には寄与しないので、抵抗8が設置されることにより、R F的な特性に影響を与えることはない。

以上で明らかなように、この実施の形態1によれば、D Cパルス信号と局部発振信号L Oを混合するアンチパラレルダイオードペア5に印加される電圧を分圧する抵抗8を設置するように構成したので、R Fパルス出力端子7に出力するR Fパルス信号のO N時の出力電力とO F F時の出力電力の比を大きく取ることができる効果を奏する。

また、抵抗8として、可変抵抗を用いれば、図示せぬドライバ回路がパルス変調回路のD Cパルス印加端子1に印加するD Cパルス信号の電圧を適宜変更する場合でも、そのD Cパルス信号の電圧に応じて、アンチパラレルダイオードペア5に印加される電圧を適宜調整することができる効果を奏する。

実施の形態2.

第 5 図はこの発明の実施の形態 2 によるパルス変調回路を示す構成図であり、図において、第 1 図と同一符号は同一または相当部分を示すので説明を省略する。

抵抗 10 とキャパシタンス 11 の並列回路は分圧手段を構成し、アンチパラレルダイオードペア 5 とグラウンドの間に設置されている。

次に動作について説明する。

上記実施の形態 1 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、並列回路の抵抗 10 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するようにしてもよく、上記実施の形態 1 と同様の効果を奏することができる。

なお、局部発振信号 L O や R F パルス信号はキャパシタンス 11 側を通過し、抵抗 10 には寄与することがないので、抵抗 10 が設置されることにより、R F 的な特性に影響を与えることはない。

実施の形態 3 .

上記実施の形態 2 では、抵抗 10 とキャパシタンス 11 からなる並列回路をアンチパラレルダイオードペア 5 とグラウンドの間に設置するものについて示したが、第 6 図に示すように、抵抗 10 とキャパシタンス 11 からなる並列回路を B P F 4 , 6 の接続部分とアンチパラレルダイオードペア 5 の間に設置するようにしてもよく、上記実施の形態 2 と同様の効果を奏することができる。

実施の形態 4 .

第 7 図はこの発明の実施の形態 4 によるパルス変調回路を示す構成図であり、図において、第 1 図と同一符号は同一または相当部分を示すので説明を省略する。

抵抗 12 は D C パルス印加端子 1 とグランドの間に設置され、D C パルス信号に対する不整合を抑制する。

次に動作について説明する。

上記実施の形態 1 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、D C パルス信号のパルス幅が狭い場合、パルス波としては非常に高い周波数成分を持つことになる。

しかし、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧する方式では、D C パルス印加端子 1 からのインピーダンスが非常に大きくなり、不整合を生じることがある。

そこで、この実施の形態 4 では、D C パルス印加端子 1 とグランドの間に抵抗 12 を設置して、D C パルス信号に対する不整合を抑制するようにしている。

この実施の形態 4 によれば、上記実施の形態 1 と同様の効果に加え、D C パルス信号に対する不整合を抑制することができる効果を奏する。

なお、この実施の形態 4 では、第 1 図のパルス変調回路に抵抗 12 を追加するものについて示したが、第 5 図及び第 6 図のパルス変調回路に抵抗 12 を追加するようにしてもよい。

実施の形態 5 .

上記実施の形態 1 では、抵抗 8 からなる分圧手段を搭載し、上記実施の形態 2 では、抵抗 10 とキャパシタンス 11 の並列回路からなる分圧手段を搭載するものについて示したが、第 8 図に示すように、抵抗 8 (または 10) と直列にダイオード 13 を接続して分圧手段を構成するようにしてもよい。

上記実施の形態 1 等では、第 2 図に示すように、R F パルス信号の O

N時とOFF時の出力電力の比を高めようとする場合、OFF時の抵抗値を大きくして、ON時の抵抗値を所望の印加電圧で出力電力の最大値が得られるように設定することが望ましい。

そこで、この実施の形態5では、抵抗8（または10）と直列にダイオード13を接続するようにしている。

第9図はダイオード13が直列に接続されている場合の特性を示しており、DCパルス印加端子1に電圧が印加されていない状態、即ち、OFF時の抵抗値は、“抵抗8（または10）の抵抗値” + “ダイオード13のOFF時の抵抗値” となり、非常に大きな値になる。

一方、DCパルス印加端子1に電圧が印加されている状態、即ち、ON時の抵抗値は、“抵抗8（または10）の抵抗値” + “ダイオード13のON時の抵抗値” となり、ダイオード13のON時の抵抗値は通常数オームであるため、抵抗8（または10）の抵抗値に近い値が得られることになる。

これにより、RFパルス信号のON時とOFF時の出力電力の比を更に高めることができる効果を奏する。

実施の形態6.

第10図はこの発明の実施の形態6によるパルス変調回路を示す構成図であり、図において、第1図と同一符号は同一または相当部分を示すので説明を省略する。

1/4波長先端開放スタブ21は電気長が局部発振信号LOの1/4波長であって先端が開放されている。

1/4波長先端短絡スタブ22は電気長が局部発振信号LOの1/4波長であって先端が短絡されている。

次に動作について説明する。

上記実施の形態 1 では、LPF 2 と BPF 4, 6 から分波手段が構成されているものについて示したが、LPF 2 と BPF 6 から分波手段を構成し、 $1/4$ 波長先端開放スタブ 21 と $1/4$ 波長先端短絡スタブ 22 を搭載して、アンチパラレルダイオードペア 5 と $1/4$ 波長先端短絡スタブ 22 の間から局部発振信号 LO を入力するようにしてもよい。

この場合も、アンチパラレルダイオードペア 5 が上記実施の形態 1 と同様の原理で、局部発振信号 LO と DC パルス信号を混合して、その局部発振信号 LO の 2 倍の周波数を有する RF パルス信号を BPF 6 に与える。

また、DC パルス印加端子 1 と LPF 2 の間に抵抗 8 が設置されているので、上記実施の形態 1 と同様に、抵抗 8 の抵抗値を適宜調整すれば、アンチパラレルダイオードペア 5 に印加される電圧を任意の電圧に設定することができる。

したがって、上記実施の形態 1 と同様に、RF パルス出力端子 7 に出力する RF パルス信号の ON 時の出力電力と OFF 時の出力電力の比を大きく取ることができる効果を奏する。

また、抵抗 8 として、可変抵抗を用いれば、図示せぬドライバ回路がパルス変調回路の DC パルス印加端子 1 に印加する DC パルス信号の電圧を適宜変更する場合でも、その DC パルス信号の電圧に応じて、アンチパラレルダイオードペア 5 に印加される電圧を適宜調整することができる効果を奏する。

なお、この実施の形態 6 の場合も、局部発振信号 LO や RF パルス信号が抵抗 8 には寄与しないので、抵抗 8 が設置されることにより、RF 的な特性に影響を与えることはない。

実施の形態 7.

上記実施の形態 6 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、第 11 図又は第 12 図に示すように、並列回路の抵抗 10 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するようにしてもよく、上記実施の形態 6 と同様の効果を奏することができる。

なお、局部発振信号 LO や RF パルス信号はキャパシタンス 11 側を通過し、抵抗 10 には寄与することがないので、抵抗 10 が設置されることにより、RF 的な特性に影響を与えることはない。

実施の形態 8 .

上記実施の形態 6 では、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧するものについて示したが、DC パルス信号のパルス幅が狭い場合、パルス波としては非常に高い周波数成分を持つことになる。

しかし、抵抗 8 がアンチパラレルダイオードペア 5 に印加される電圧を分圧する方式では、DC パルス印加端子 1 からのインピーダンスが非常に大きくなり、不整合を生じることがある。

そこで、この実施の形態 8 では、第 13 図に示すように、DC パルス印加端子 1 とグラウンドの間に抵抗 12 を設置して、DC パルス信号に対する不整合を抑制するようにしている。

この実施の形態 8 によれば、上記実施の形態 6 と同様の効果に加え、DC パルス信号に対する不整合を抑制することができる効果を奏する。

なお、この実施の形態 6 では、第 10 図のパルス変調回路に抵抗 12 を追加するものについて示したが、第 11 図及び第 12 図のパルス変調回路に抵抗 12 を追加するようにしてもよい。

実施の形態 9 .

上記実施の形態 6 ～ 8 では、抵抗 8（または 10）にダイオード 13 が直列に接続されていないものについて示したが、上記実施の形態 5 と同様に、第 10 図～第 12 図のパルス変調回路の抵抗 8（または 10）にダイオード 13 を直列に接続するようにしてもよい。

これにより、上記実施の形態 5 と同様に、R F パルス信号の ON 時と OFF 時の出力電力の比を更に高めることができる効果を奏する。

産業上の利用可能性

以上のように、この発明に係るパルス変調回路は、例えば、パルス信号を送受信するに際して、パルス信号の周波数を変調する必要がある通信装置やレーダに用いるのに適している。

請 求 の 範 囲

1. パルス印加端子からパルス信号を入力するとともに、局部発振波入力端子から局部発振信号を入力する一方、その局部発振信号の偶数倍の周波数を有するパルス信号をパルス出力端子に出力する分波手段と、上記分波手段により入力されたパルス信号と局部発振信号を混合して、その局部発振信号の偶数倍の周波数を有するパルス信号を上記分波手段に与える混合手段と、上記混合手段に印加される電圧を分圧する分圧手段とを備えたパルス変調回路。

2. 抵抗からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

3. 分圧手段を構成する抵抗が可変抵抗であることを特徴とする請求の範囲第2項記載のパルス変調回路。

4. 抵抗とキャパシタンスの並列回路からなる分圧手段を混合手段とグラウンドの間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

5. パルス印加端子とグラウンドの間に抵抗を設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

6. 抵抗とダイオードの直列回路からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

7. 抵抗及びダイオードの直列回路とキャパシタンスの並列回路からなる分圧手段を混合手段とグラウンドの間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第1項記載のパルス変調回路。

8. パルス印加端子からパルス信号を入力する一方、局部発振信号の偶数倍の周波数を有するパルス信号をパルス出力端子に出力する分波手段と、上記分波手段により入力されたパルス信号と局部発振波入力端子から入力された局部発振信号を混合して、その局部発振信号の偶数倍の周波数を有するパルス信号を上記分波手段に与える混合手段と、上記混合手段に印加される電圧を分圧する分圧手段とを備えたパルス変調回路。

9. 抵抗からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

10. 分圧手段を構成する抵抗が可変抵抗であることを特徴とする請求の範囲第9項記載のパルス変調回路。

11. 抵抗とキャパシタンスの並列回路からなる分圧手段を混合手段と局部発振波入力端子の間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

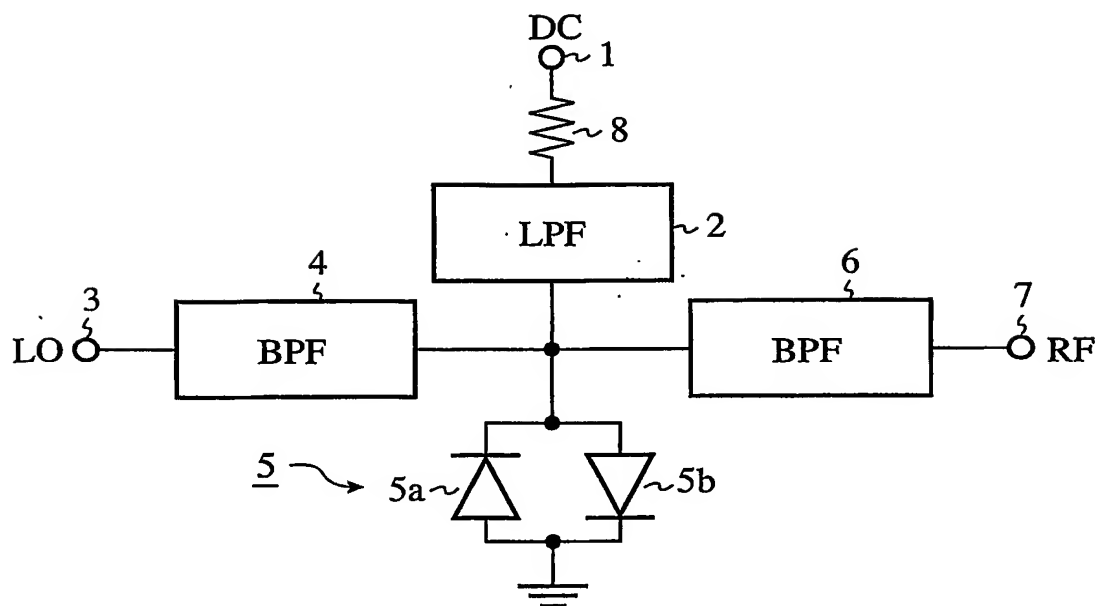
12. パルス印加端子とグラウンドの間に抵抗を設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

13. 抵抗とダイオードの直列回路からなる分圧手段をパルス印加端子と分波手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

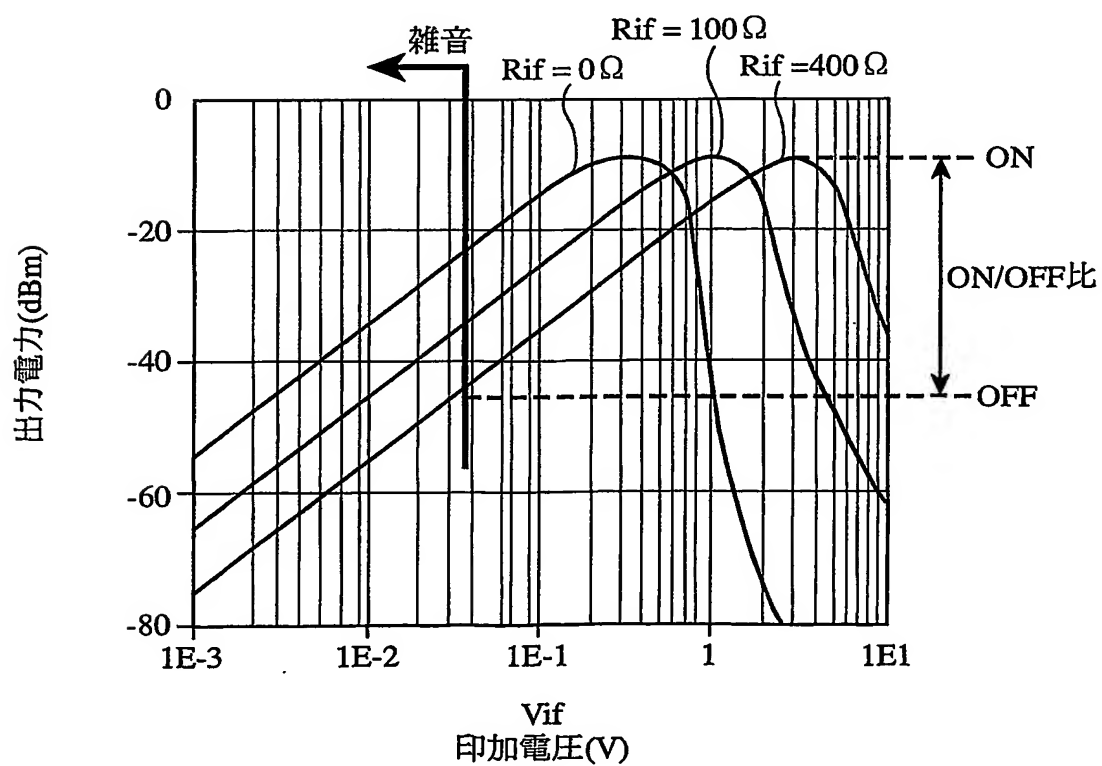
14. 抵抗及びダイオードの直列回路とキャパシタンスの並列回路からなる分圧手段を混合手段と局部発振波入力端子の間、または、分波手段と上記混合手段の間に設置したことを特徴とする請求の範囲第8項記載のパルス変調回路。

1/7

第1図

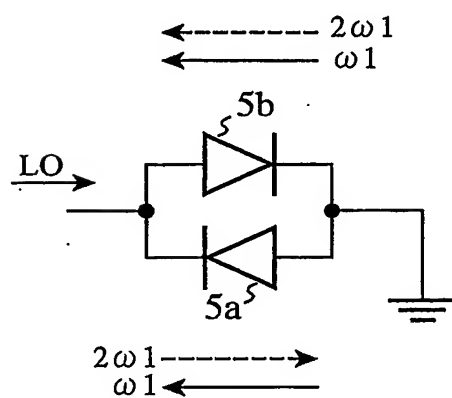


第2図

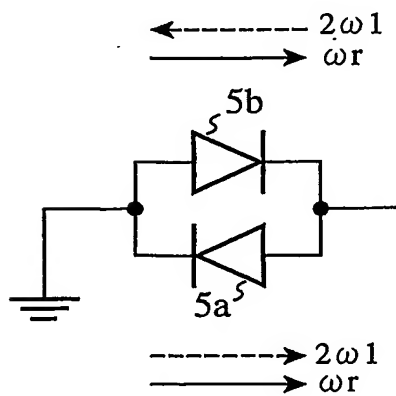


第3図

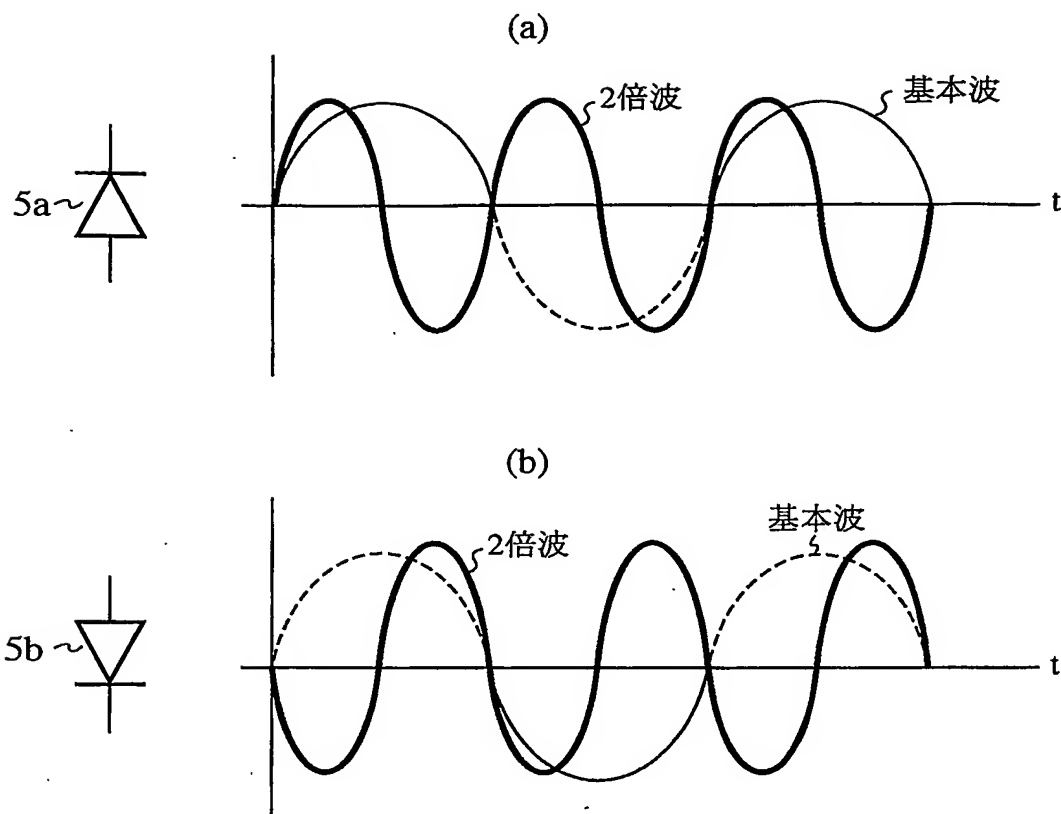
(a)

 $\omega 1$ に対する等価回路

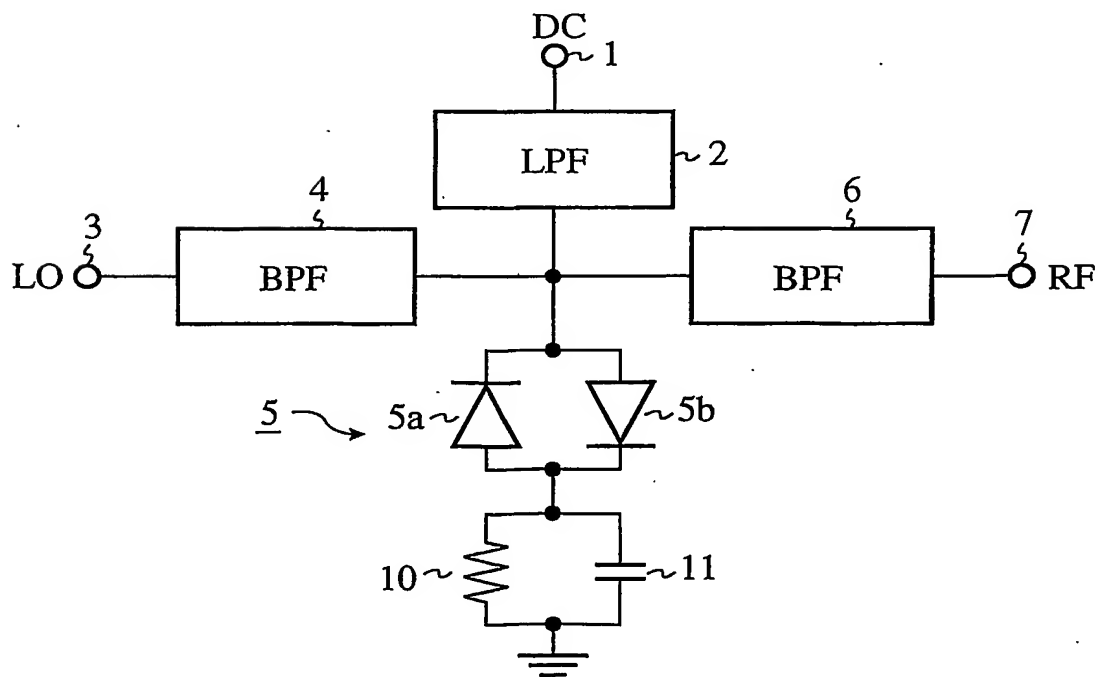
(b)

 ωr および $2\omega 1$ に対する等価回路

第4図

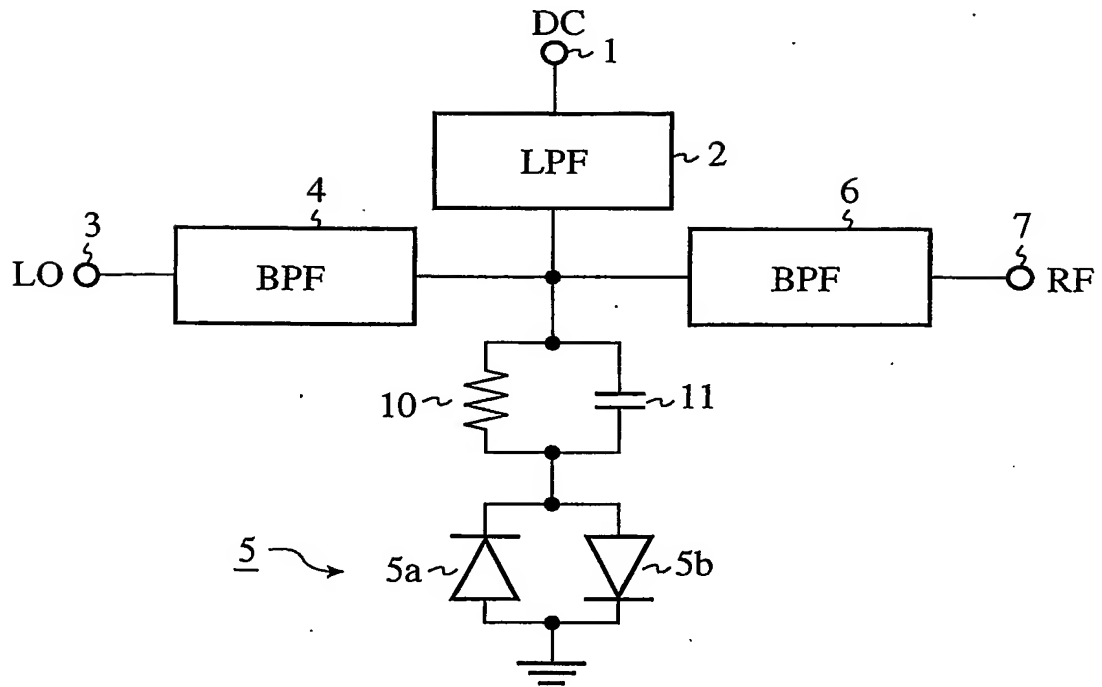


第5図

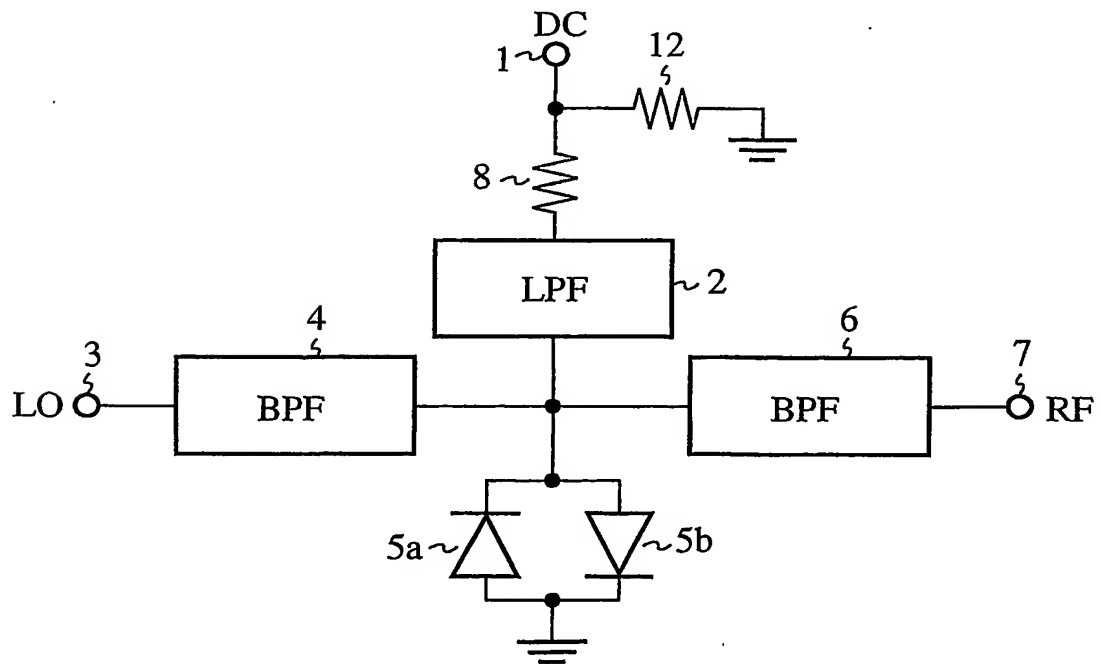


4/7

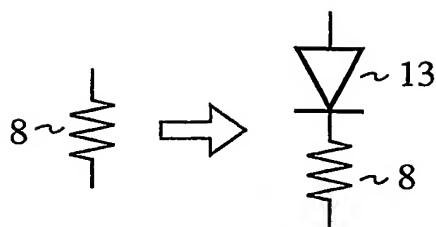
第 6 図



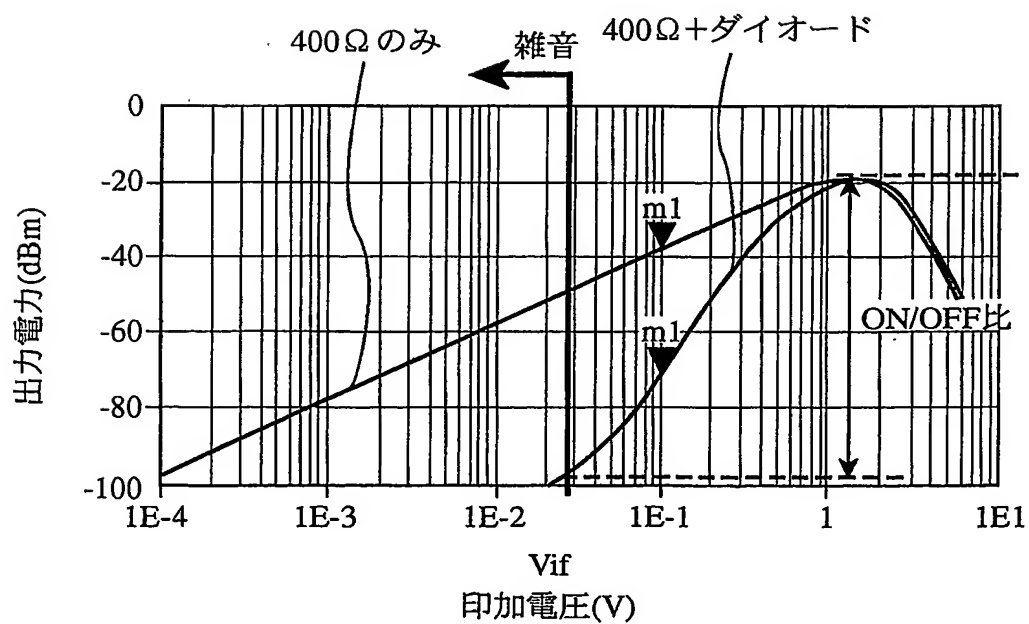
第 7 図



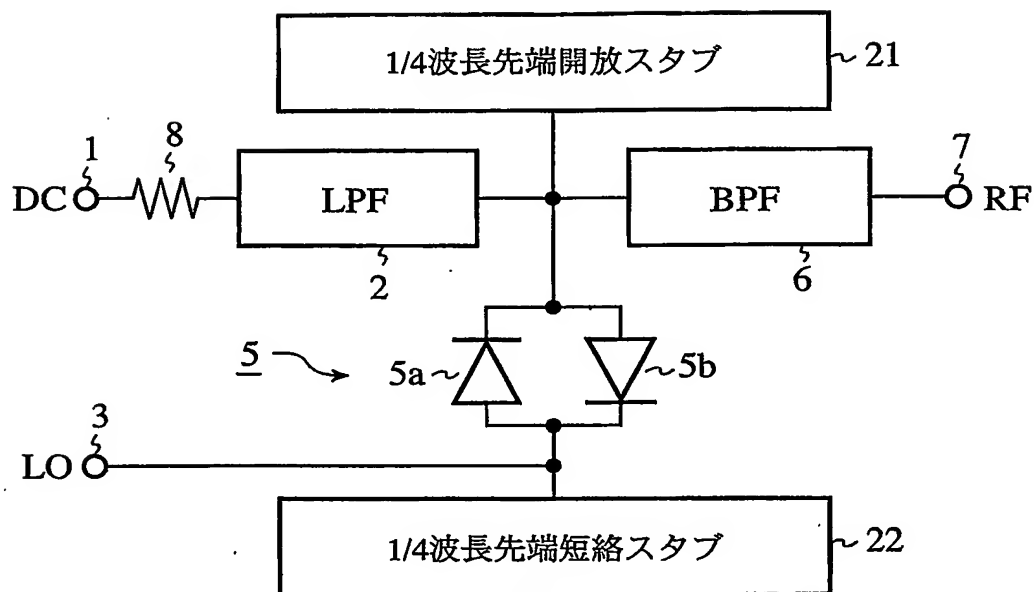
第 8 図



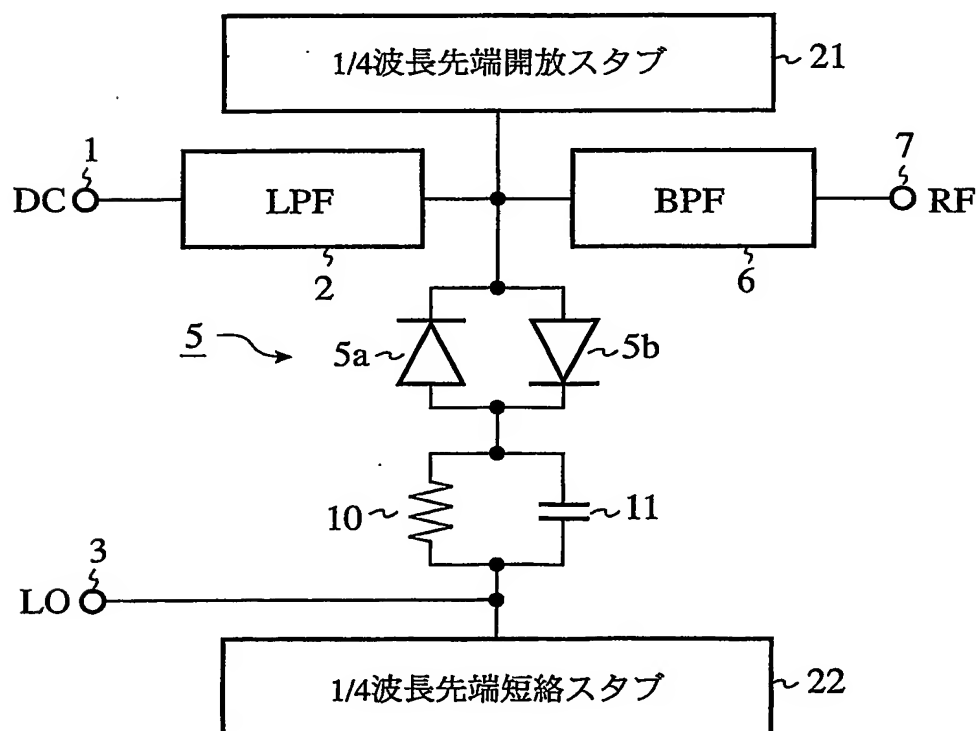
第 9 図



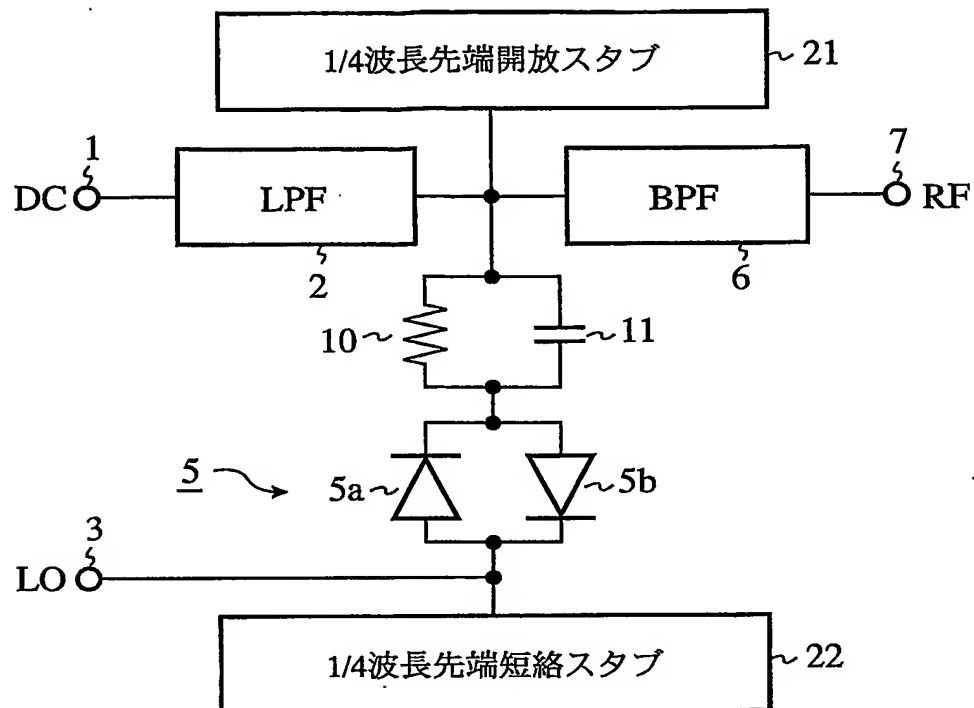
第10図



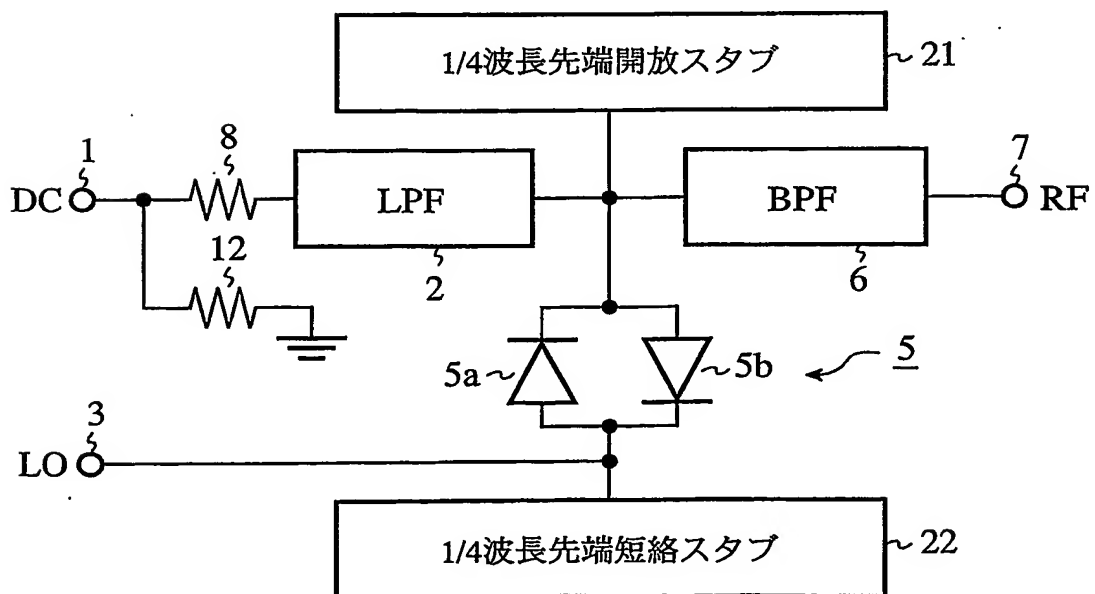
第11図



第12図



第13図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13947

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03C3/00, H03D7/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03C3/00, H03D7/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-27053 A (Sony Corp.), 29 January, 1999 (29.01.99), (Family: none)	1-3, 8-10 4-7, 11-14
Y A	JP 11-313116 A (Mitsubishi Electric Corp.), 09 November, 1999 (09.11.99), (Family: none)	1-3 4-7
Y A	JP 2002-344246 A (Sharp Corp.), 29 November, 2002 (29.11.02), (Family: none)	8-10 11-14
A	JP 2000-338233 A (Mitsubishi Electric Corp.), 08 December, 2000 (08.12.00), & DE 10027064 A1 & US 6362777 A	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 February, 2004 (03.02.04)Date of mailing of the international search report
17 February, 2004 (17.02.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03C3/00 H03D7/02			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03C3/00 H03D7/02			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP 11-27053 A (ソニー株式会社) 1999. 01. 29 (ファミリーなし)	1-3, 8-10 4-7, 11-14	
Y A	JP 11-313116 A (三菱電機株式会社) 1999. 11. 09 (ファミリーなし)	1-3 4-7	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 03. 02. 2004		国際調査報告の発送日 17. 2. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 佐藤 敬介	5W 9196
		電話番号 03-3581-1101 内線 3574	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2002-344246 A (シャープ株式会社) 2002. 11. 29 (ファミリーなし)	8-10 11-14
A	JP 2000-338233 A (三菱電機株式会社) 2000. 12. 08 & DE 10027064 A1 & US 6362777 A	1-14